

# マルチギガビット伝送のための 局所化可能な最小反射ビアの設計

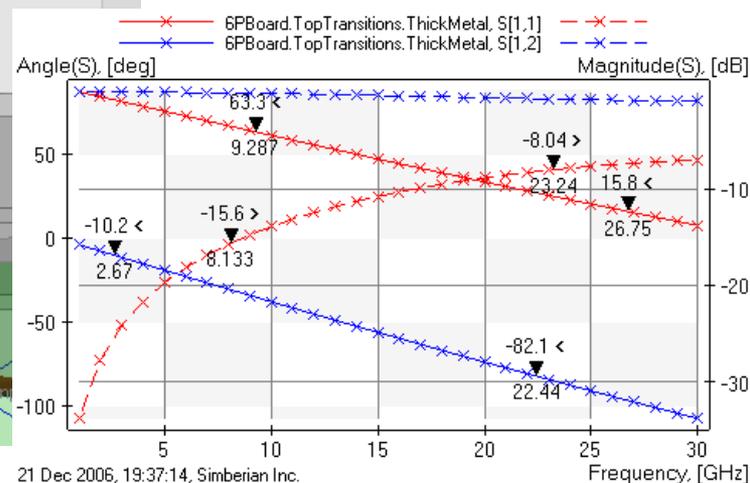
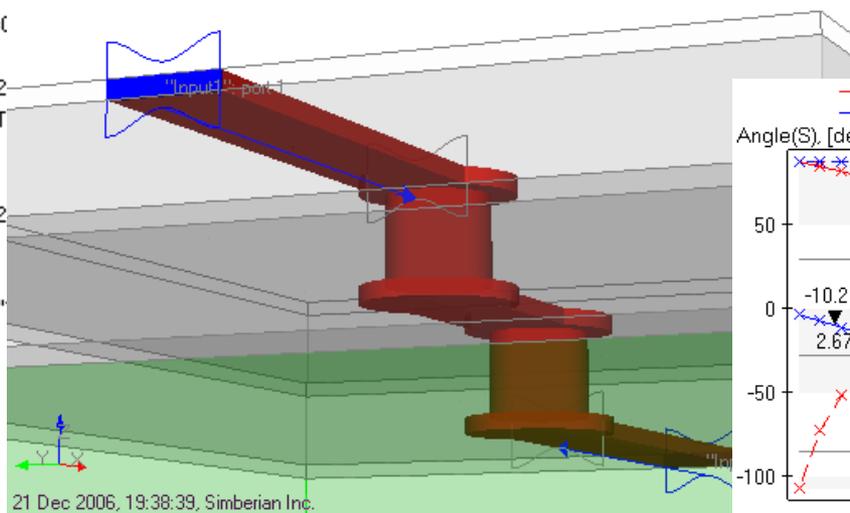
翻訳:シグナル工房 野田 [www.signalkhobho.com](http://www.signalkhobho.com)

Solution: "MicroVias"

- 6PBoard
  - Materials
    - "copper", RRes=1, Rough=0.01
    - "IdealMetal"
    - "prepreg", DK=4.7, LT=(
    - "vacuum"
    - "FR4", DK=4.2, LT=0.02
  - StackUp: LU=[mil], NL=15, T
  - TopTransitions
    - CircuitData: LU=[mil]
    - Multiport: 2 inputs, 2
    - LatticeBox
    - Geometry
      - GeoComposite: "
      - TLines
      - Inputs
    - ThickMetal
    - CollapsedMetal
    - BottomTransition
  - Graph1(MultiportParameters vs. Frequency) 21 Dec 2006, 19:38:39, Simberian Inc.
  - Graph2(MultiportParameters vs. Frequency)

Simberian Inc.

[www.simberian.com](http://www.simberian.com)



# Simberian社について

- Copyright © 2009 by Simberian Inc., All rights reserved.
  - THIS DOCUMENT IS CONFIDENTIAL AND PROPRIETARY TO SIMBERIAN INC. AND MAY NOT BE REPRODUCED, PUBLISHED OR DISCLOSED TO OTHERS WITHOUT PERMISSION OF SIMBERIAN INC.
- Simberian® and Simbeor® are registered trademarks of Simberian Inc.
  - Other product and company names mentioned in this presentation may be the trademarks of their respective owners.

# 概要

---

- はじめに
- シングルエンドのビアの局所化 (Localization)
- 差動のビアの局所化
- ビアの電磁界解析
- マルチポートパラメータ
- 実験検証による最適化
- まとめ
- ソリューションと連絡先

# はじめに

- ビアは多層プリント基板(PCB)やパッケージの異なるレイヤー間を接続する構成部品です
- ビア部分はトレースに比べて比較的小さく、電氣的に短く、電流のリターンパスのインピーダンスも小さいとみなされる低い周波数(1-3GHz以下)では無視できる接続部と見なせます
  - この周波数帯では近似式で計算した集中定数のインダクタンスやキャパシタンスのモデル化でビアの影響を十分考慮できます
- 最近までは上の考え方で十分でしたが、伝送信号のスペクトラムがマイクロ波帯(6Gbps伝送で3GHz以上の信号)になると問題になってきます
  - ビアは3GHz以上からは分布定数構造となり、分布定数回路として解析しなければなりません
- 残念ながら、全てのビアがこのような考えで扱われていません
  - ある場合にはビアは基板から分離して解析可能ですが、ある場合には全てのリファレンスプレーンやパワーディストリビューションプレーンを含めたボード全体の分析が必要でしょう
- このアプリケーションノートこれらのケースをどのように見分け、Simbeorによりローカライズ(局所化)した最小の反射特性のビアを設計する方法を説明します

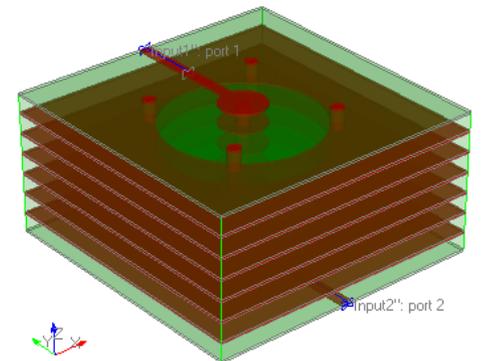
# ビアホールの種類と共通の特徴

## □ ビアのタイプ

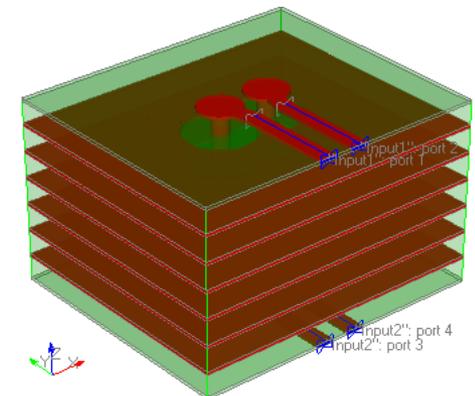
- シングルエンドと差動
- スルー、ブラインド、バリー(除去 buried)、バックドリルなどのビア
- 信号用のビアとステッチング(stitching)用のビア
- マイクロビア
- ...

## □ 共通の特長

- 数ギガビットの信号解析のためのシンプルなモデルは存在しません(特にビアが多層のプレーンを貫通する場合)
- マイクロ波帯では電磁界解析が必要
- 全てのビアはマルチポートパラメータで定義されます



27 Sep 2007, 06:37:29, Simberian Inc.



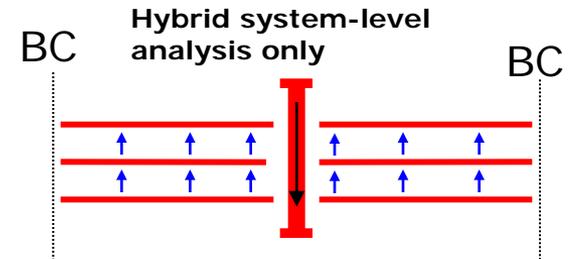
27 Sep 2007, 06:36:46, Simberian Inc.

# ローカライズ(局所化)できるビアとできないビア

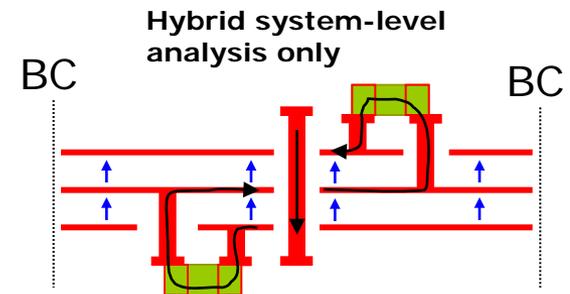
- ビア電流のリターンパスの局所化は分析目的に合わせて2つのグループに分けられます
  - ビア電流のリターンパスがビア付近の小さなエリアに限られる時は局所化(localizable)可能と言えます
  - 一方で、ビア電流のリターンパスが基板全体に広がる場合は局所化不可能(non-localizable)と言います
- ビアが1つのリファレンスプレーンに接続されている場合はビアホールは、分離して分析することができます(しかし放射の可能性はあります)
- ビアが異なるリファレンスプレーンに接続される場合にはそのようにできません(ビアが1つまたは複数の基準面を横断する場合)
- それでは**シングルエンドと差動のビア**のリターンパスの局所化について調べてみましょう

# 多層プレーンを貫通するシングルビアの解析

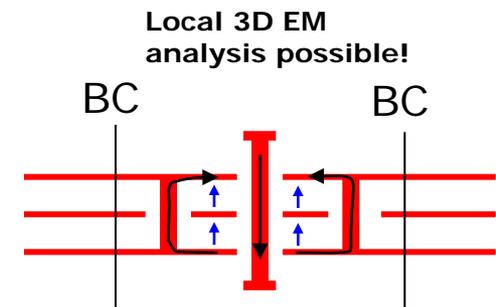
- プレーンの終端(接続)はなく帰還電流はプレーン間の“変位電流”
  - これは**非局所化(non-localizable)**問題です- 基板全体の解析が必要



- プレーン間はデカップリングキャパシタで終端(接続)されておりプレーン間の帰還電流はキャパシタとプレーン間の“変位電流”の組み合わせ
  - デカップ(Decaps)は狭帯域のみで低いインピーダンスになる - したがってこれは**非局所化(non-localizable)**問題で**広帯域の電磁解析が必要**です



- リファレンスプレーンの接続にはスティッチング(Stitching)ビアが使われ、帰還電流はほとんど導体を流れる
  - この問題は**局所化可能(localizable)**で、あらゆる境界条件で解析可能(ただし**周波数帯域の制限があります**)



# 局所化できないケースのモデル化方法 (スティッチングビアなし)

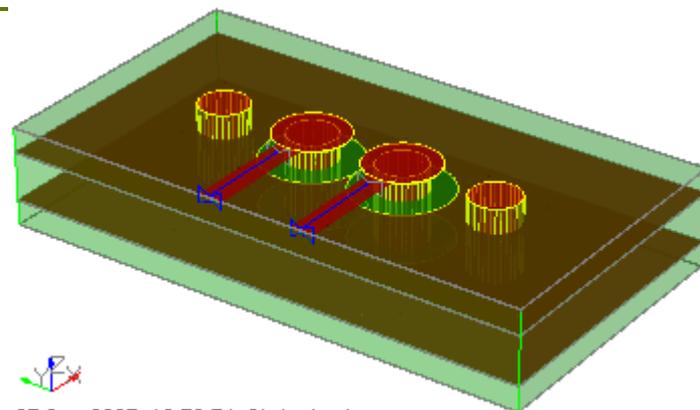
- Sパラメータ・モデルはシミュレーション領域と境界条件に依存するようになります
  - 境界条件の依存しないことは問題を局所化できる可能性を示します
- どのタイプの強制境界条件も非局所的な問題に適しません
  - PEC (電界壁)はビアからのある距離でプレーンが短絡していることに相当します-望ましい条件
  - PMC (電磁界壁)はビアからある距離でプレーンがオープンになっていることに相当します-低周波で漸近的なSパラメータでは不正確です
  - PML (完全整合層「perfectly matched layer」) またはABC (吸収境界条件「absorbing boundary conditions」) - ビアからのある距離でエネルギーは吸収
    - 無限平面(無限平面または任意の場所でラジアル導波路的なエネルギーになる場合)と等価ではありません
    - システムレベル解析では吸収エネルギー条件では完全に消失します(実際のボード上のどこかに現れます)
- 非局所化問題を解析する可能性のある方法は基板全体を3Dソルバーで解くか、伝送線路プレーンソルバとのハイブリッド・シミュレーションを行う必要があります

# 対策 – ステッチングビアを使う

- マッチギガビット信号用のシングルエンドのビアは接続された伝送線路の全てのリファレンス導体の対し電氣的に接近したステッチングビアが必要です
- 局所化されたビアは、適切な距離で任意の境界条件で局所的に解析することができます (PECが漸近的に正しく適切であることが条件)
- 局所化を維持するためのステッチングビアの数は通常4-6個は必要で、基板上で20GHz以上の局所化が必要な場合はそれ以上かもしれません。典型的なPCB上の20 GHzまでの局所化で4から6ステッチビアまたはそれ以上の数が必要になるかもしれません
- 局所化可能なビアホールは、シミュレーション領域や基板形状や大きさに無関係で、基板の無関係な部分を分離して解析できることで、デザインのコンポーネントとして安心して再利用できます

# 差動ビア

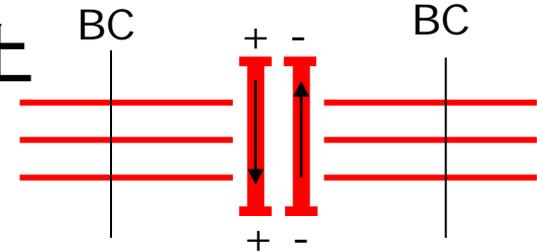
- 差動ビアとはステッチビア近くに持ち多層並行プレーンを通過する2つのビアトランジションです
- 二つのモードが対称形のペアを独立して伝播します
  - 差動 (+-) – 2つのビアは2つの導体:  $I_d=0.5(I_1-I_2)$ ,  $V_d=V_1-V_2$
  - コモン (++) – 2つのビアは1つの導体で並行プレーンは他の導体でデカップリングされます:  $I_c=I_1+I_2$ ,  $V_c=0.5(V_1+V_2)$
- 差動ペアの信号は常に差動モード(有用)が含まれ、ドライバの非対称性と不連続性によって誘導されるコモンモードが含まれる場合があります



27 Sep 2007, 16:50:54, Simberian Inc.

# 差動モードのためのSパラメータ(差動モデル)

- 差動モードでは、ビアのバレル上に2つの同一の電流を持ちます  
(ビアは電氣的に近い必要があります)

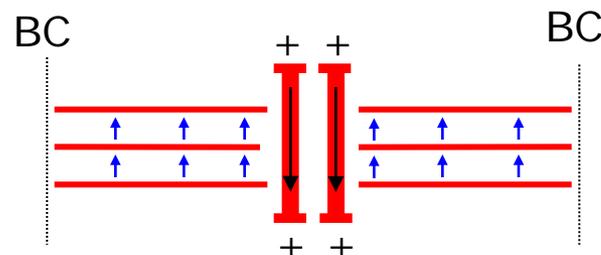


- ビアは電磁界解析において基板の無関係な部分の任意の境界条件(PEC、PMC、PML、ABC)と分離されている必要があります
  - ビアからシミュレーション領域の境界までの距離は、側壁の影響を減らすために最大プレーン間距離より大きくなければなりません
  - その場合には、差動モードSパラメータは境界条件に影響されません

# 多層並行プレーンを通る差動ビアのコモンモード解析

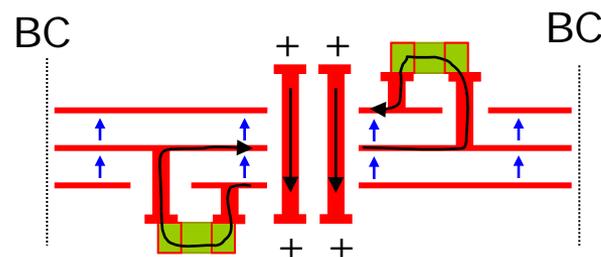
- プレーンの終端(接続)はなく帰還電流はプレーン間の“変位電流”

- これは**非局所化(non-localizable)問題**です- 基板全体の解析が必要



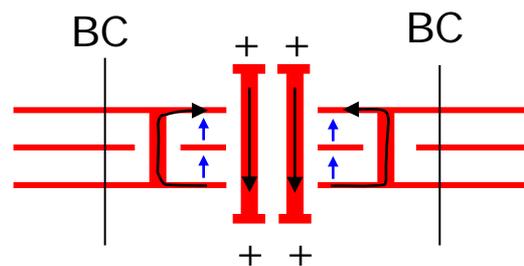
- プレーン間はデカップリングキャパシタで終端(接続)されておりプレーン間の帰還電流はキャパシタとプレーン間の“変位電流”の組み合わせ

- デデカップ(Decaps)は狭帯域のみで低いインピーダンスになる - したがってこれは**非局所化(non-localizable)問題**で**広帯域の電磁解析が必要**です



- リファレンスプレーンの接続にはスティッチング(Stitching)ビアが使われ、帰還電流はほとんど導体を流れる

- この問題は**局所化可能(localizable)**で、あらゆる境界条件で解析可能(**ただし周波数帯域の制限があります**)



# どのようにして差動ビアのコモンモードの解析するか？

- 3Dフィールドソルバーで基板全体をすべてのターミネーションを考慮して解析する必要があります
  - ほとんど不可能であり、実用的ではありません
- 2D並行プレーンモデルを使用したハイブリッドソルバーを使用する
  - 実用的ですが、そのソルバーが3Dフルウェーブモデルを扱える場合にしか正確性は期待できません(今のところそのようなソルバーはありません)
- 漸近的に正しいPEC境界条件において問題を局所化する
  - システムレベルでのパフォーマンス上の境界条件の影響は多くの場合大きくないでしょう
  - ビアの接続部分でコモン・モードがないか非常に小さい場合に成立します

# ビアの電磁界解析

3DスタティックかMagneto-Quasi-Static ソルバー

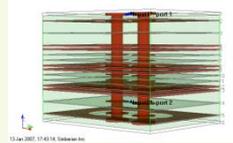
$$\vec{E} = -\nabla\phi - j\omega\vec{A}$$

$$\vec{H} = \frac{1}{\mu}\nabla\times\vec{A}$$

3Dフルウェーブソルバー

$$\nabla\times\vec{E} = -i\omega\mu\vec{H}$$

$$\nabla\times\vec{H} = i\omega\varepsilon\vec{E} + \sigma\vec{E} + \vec{J}$$

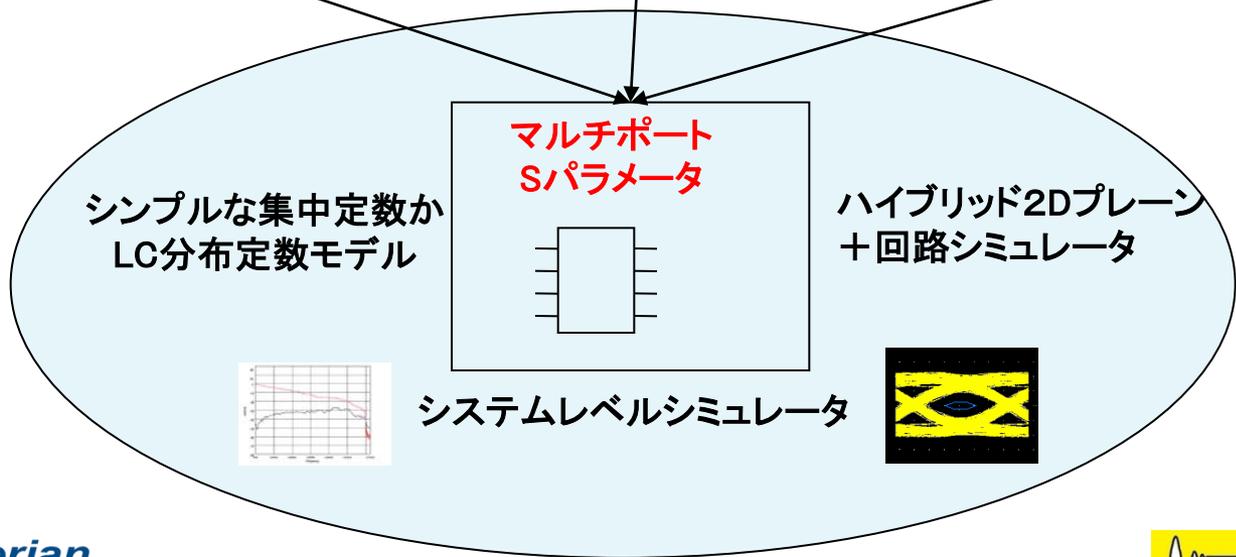


伝送線路  
プレーンソルバー

$$\frac{\partial J_{sx}}{\partial x} + \frac{\partial J_{sy}}{\partial y} = -Y_{\square}(\omega)\cdot V + J_z$$

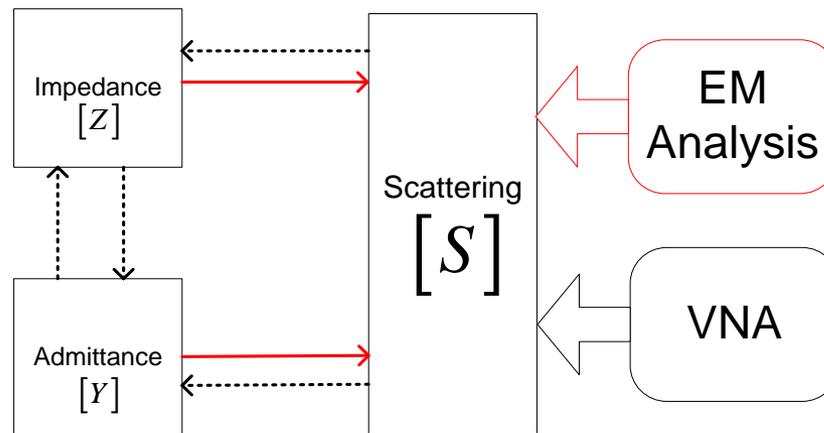
$$\frac{\partial V}{\partial x} = -Z_{\square}(\omega)\cdot J_{sx}$$

$$\frac{\partial V}{\partial y} = -Z_{\square}(\omega)\cdot J_{sy}$$

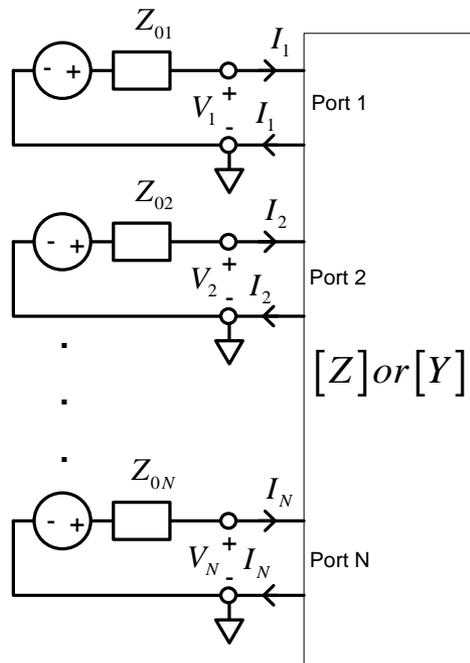


# マルチポートパラメータ

- マルチポートは波長より大きく、線形の構造体に対して相対的に小さいスケラブルなブラックボックスの表現です
- ビアや他の部品のマルチポートパラメータは結合可能で、タイムドメイン解析において非線形のドライバやレシーバと共に解析されます
- マルチポートパラメータは電磁界シミュレータかベクトルネットワークアナライザ(VNA)の出力として得られます



# インピーダンス及びアドミタンスパラメータ



Equivalent currents and voltages at ports:  $\bar{I} \in \mathbb{C}^{N \times 1}$ ,  $\bar{V} \in \mathbb{C}^{N \times 1}$

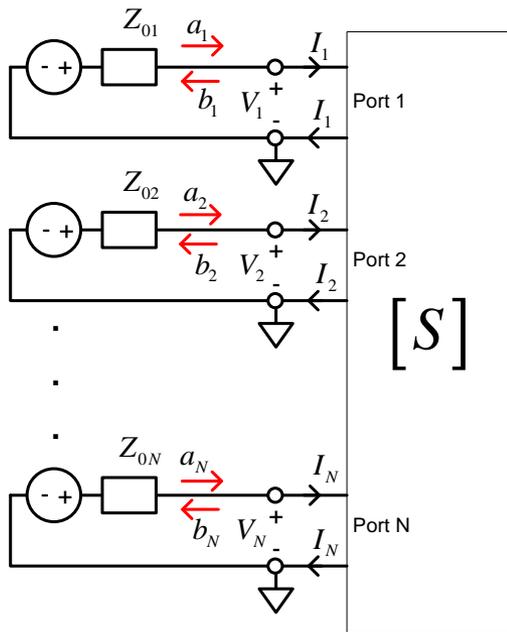
Impedance parameters:  $\bar{V} = Z \cdot \bar{I}$ ,  $Z \in \mathbb{C}^{N \times N}$ ,  $Z_{i,j} = \left. \frac{V_i}{I_j} \right|_{I_k=0 \ k \neq j}$

Admittance parameters:  $\bar{I} = Y \cdot \bar{V}$ ,  $Y \in \mathbb{C}^{N \times N}$ ,  $Y_{i,j} = \left. \frac{I_i}{V_j} \right|_{V_k=0 \ k \neq j}$

Conversion:  $Y = Z^{-1}$ ,  $Z = Y^{-1}$

- インピーダンスパラメータは回路解析によく使われます
- 行列の要素は広いダイナミックレンジと特異点があるかもしれません
- 構造体のサイズが波長と同程度である場合、高い周波数のデータを直接測定することはできません

# Sパラメータの定義



Incident and reflected waves:

$$\bar{a} = \frac{1}{2\sqrt{Z_0}}(\bar{V} + Z_0 \cdot \bar{I}), \quad \bar{b} = \frac{1}{2\sqrt{Z_0}}(\bar{V} - Z_0 \cdot \bar{I}), \quad \bar{a}, \bar{b} \in C^{N \times 1}$$

$$Z_0 = \text{diag}\{Z_{0i}, i = 1, \dots, N\} \in C^{N \times N}$$

Scattering parameters:

$$\bar{b} = S \cdot \bar{a}, \quad S \in C^{N \times N}, \quad S_{i,j} = \left. \frac{b_i}{a_j} \right|_{a_k=0, k \neq j}$$

$$S = (U - Y_N) \cdot (U + Y_N)^{-1}, \quad Y_N = Z_0^{1/2} \cdot Y \cdot Z_0^{1/2}$$

$$S = (Z_N - U) \cdot (U + Z_N)^{-1}, \quad Z_N = Z_0^{-1/2} \cdot Z \cdot Z_0^{-1/2}$$

- SパラメータはDCを含む任意の周波数で電磁界シミュレーションや実測から得られます測定することができます
- S-パラメータは特異点 (singularities) に影響されません
- SパラメータはSPICE (HSPIICE互換)シミュレータで直接利用できます

# 2ポートモデルのSパラメータの定義

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{1,1} & S_{1,2} \\ S_{2,1} & S_{2,2} \end{bmatrix} \cdot \begin{bmatrix} a_1 \\ a_2 \end{bmatrix}$$

$$V_i^+ = \sqrt{Z_0} \cdot a_i \quad \text{入射波の電圧}$$

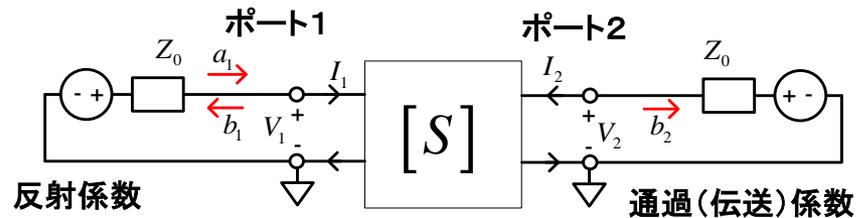
$$V_i^- = \sqrt{Z_0} \cdot b_i \quad \text{反射波の電圧}$$

$$V_i = V_i^+ + V_i^- \quad \text{トータルの電圧}$$

$$I_i = \frac{1}{Z_0} (V_i^+ - V_i^-) \quad \text{トータルの電流}$$

$$|S_{i,j}| = \sqrt{\text{Re}(S_{i,j})^2 + \text{Im}(S_{i,j})^2} \quad \text{マグニチュード}$$

$$|S_{i,j}|_{dB} = 20 \cdot \log(|S_{i,j}|) \quad \text{dB表現のマグニチュード}$$



$$S_{1,1} = \left. \frac{b_1}{a_1} \right|_{a_2=0}$$

$$S_{2,1} = \left. \frac{b_2}{a_1} \right|_{a_2=0}$$

$$P_i^+ = |a_i|^2 \quad \text{入射波の電力}$$

$$P_i^- = |b_i|^2 \quad \text{反射波の電力}$$

$$|S_{1,1}|^2 = \frac{|b_1|^2}{|a_1|^2} = \frac{P_1^-}{P_1^+}$$

$$|S_{2,1}|^2 = \frac{|b_2|^2}{|a_1|^2} = \frac{P_2^-}{P_1^+}$$

$$\angle S_{i,j} = \arctan(\text{Im}(S_{i,j})/\text{Re}(S_{i,j})) \quad \text{位相}$$

$$i = 1, 2; \quad j = 1, 2;$$

# 反射を最小にしたビア

- 最小限の反射と最大の伝送(通過特性)や使用周波数帯で共振なし
- シングルエンドビア:
  - 反射損失  $S[1,1]$  はゼロに近く (-20 dB以下)
  - 通過特性  $S[2,1]$  は1に近く(0 dB付近)
- 差動ビア:
  - 反射損失  $S[D1,D1]$  はゼロに近く (-20 dB以下)
  - 通過特性  $S[D2,D1]$   $S[2,1]$  は1に近く(0 dB付近)
- ビアスタブ無し
- バレルとパッドとアンチパッドの距離は反射を最小限に抑えるために最適化されますー 結果はインピーダンスコントロールされたビアになります

# 非局所化ビアを有する小型基板

- SetB
- Materials
- "Copper", RR=1, SR=0.5
  - "FR4", Dk=4.1, LT=0.019, PLM=WD
  - "Vacuum"
  - "SolderMask", Dk=3.3, LT=0.02, PLM=WD
- StackUp: LU=[mil], NL=4, T=63[mil]
- 1| Medium: T=0.4, Ins="SolderMask"
  - 2| Signal: "Signal1", T=1.35, Ins="SolderMask"
  - 3| Medium: T=8.9, Ins="FR4"
  - 4| Plane: "Plane1", Mat="Copper", T=1.35, Ins="FR4"
  - 5| Medium: T=39, Ins="FR4"
  - 6| Plane: "Plane2", Mat="Copper", T=1.35, Ins="FR4"
  - 7| Medium: T=8.9, Ins="FR4"
  - 8| Signal: "Signal2", T=1.35, Ins="SolderMask"
  - 9| Medium: T=0.4, Ins="SolderMask"

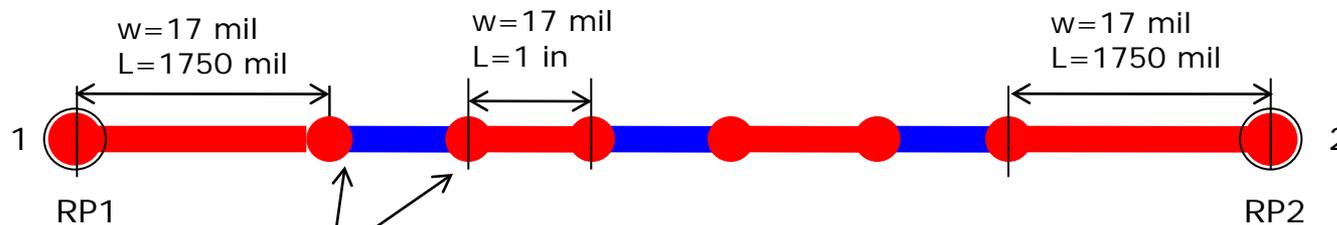


6つのシングルビア  
のチャンネル

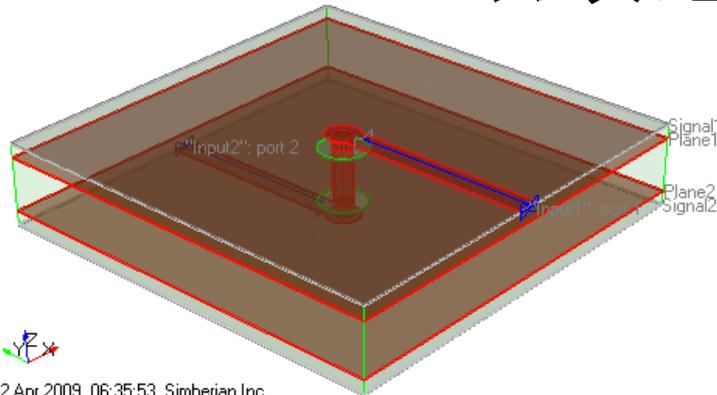
本基板の設計と調査  
はTeraspeed  
Consulting Groupによ  
り行われました

# ステッチングビア無しでの6つのビアを有する マイクロストリップチャンネルの形状

- ステッチングビア無しでの6つの貫通ビア、1inch長さで分離された17milのマイクロストリップ線路、リファレンスプレーンRP1、RP2はde-embeddedされています



シングルビアの形状:

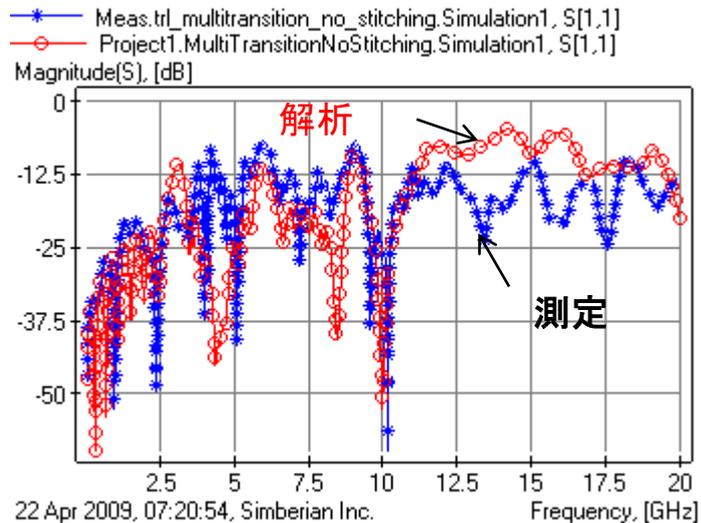
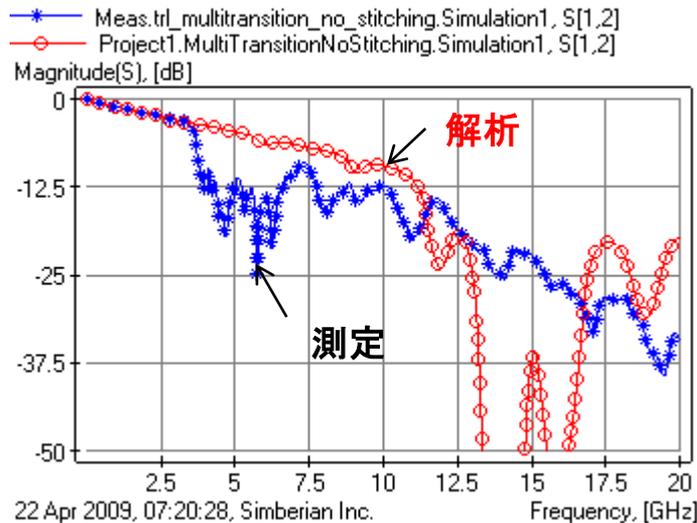
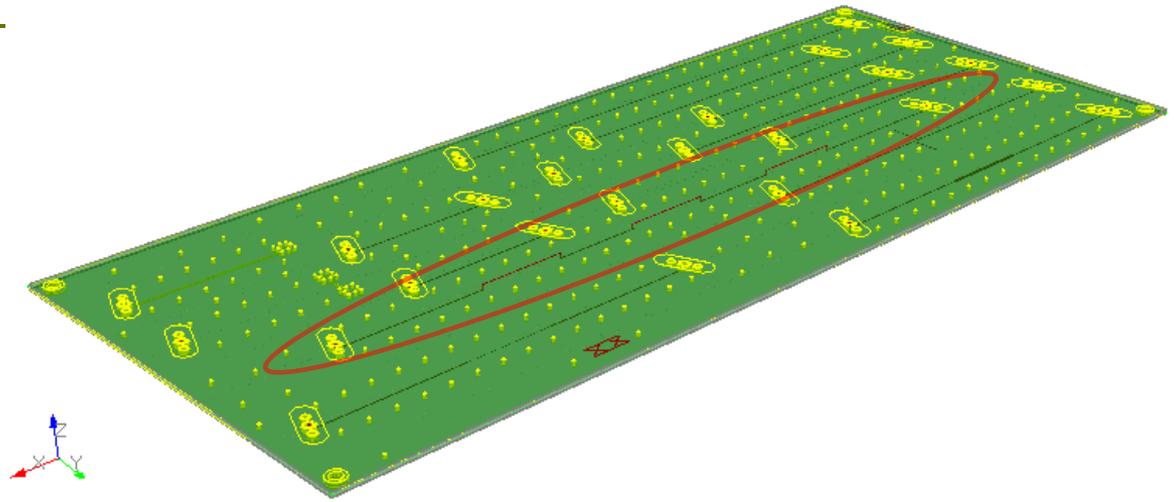


トップとボトムの子ストレーツ: DK=4.1,  
LT=0.02 @ 1 GHz, T=8.9 mil  
コア: DK=4.7, LT=0.02, T=39 mil  
すべてのビア径は15mil  
全てのビアのパッド径は25mil  
アンチパッド径は35mil

22 Apr 2009, 06:35:53, Simberian Inc.

# ステッチングビア無しでの6つのビアを有する マイクロストリップチャンネルのSパラメータ

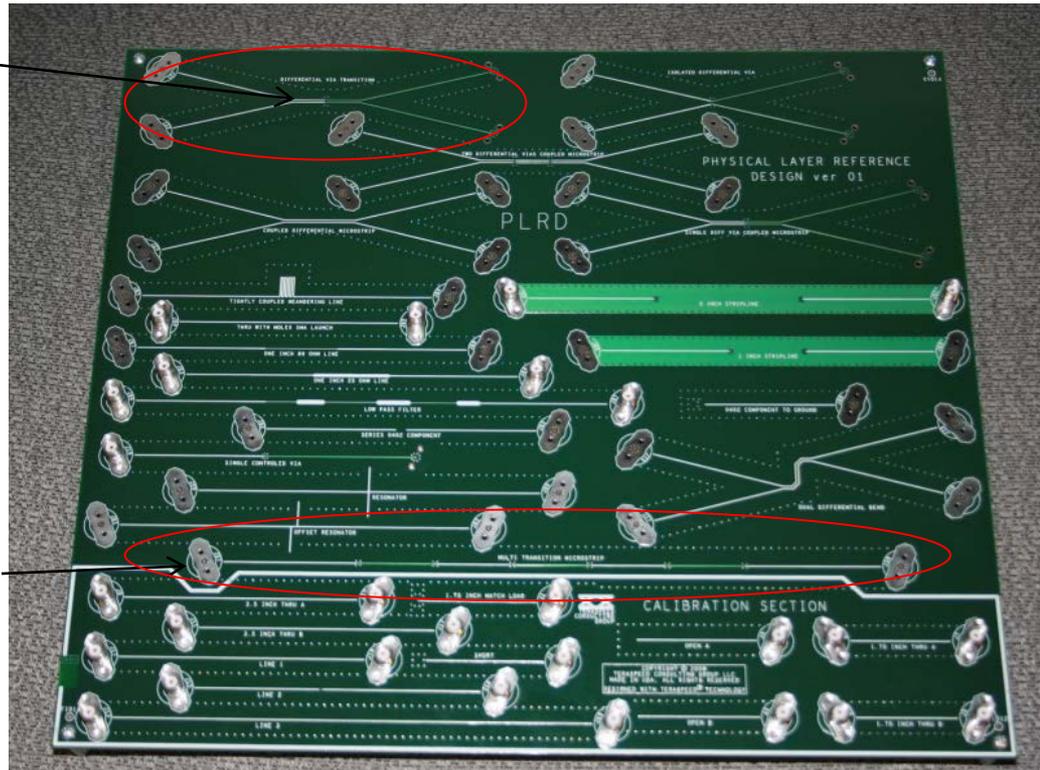
ラインの構成は局所化不可能で、3GHz以上の周波数では一致しない(基板全体の解析が必要)



# PLRD-1 Physical Layer Test Vehicle

- 下のサンプルに見られるスティッチングビア付きの6つのシングルエンドビアと差動ビア評価用のマイクロストリップチャンネルの形状

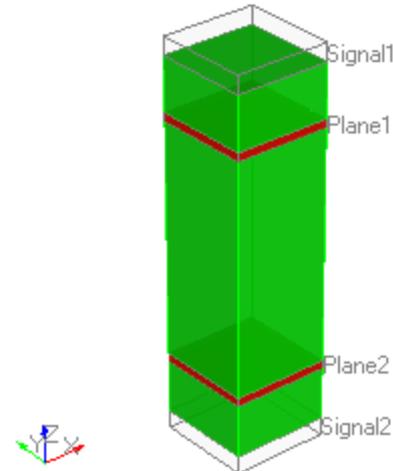
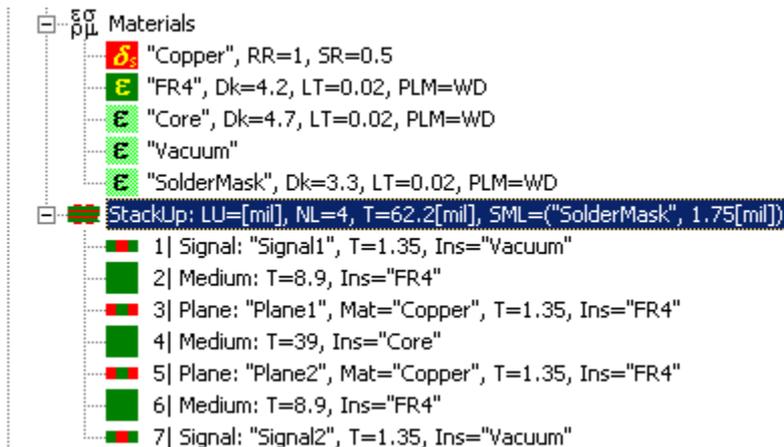
差動ビア



6つのシングルエンドビアのチャンネル

本基板の設計と調査は  
Teraspeed Consulting Group  
により行われました

# Step 1: Materials and Stackup



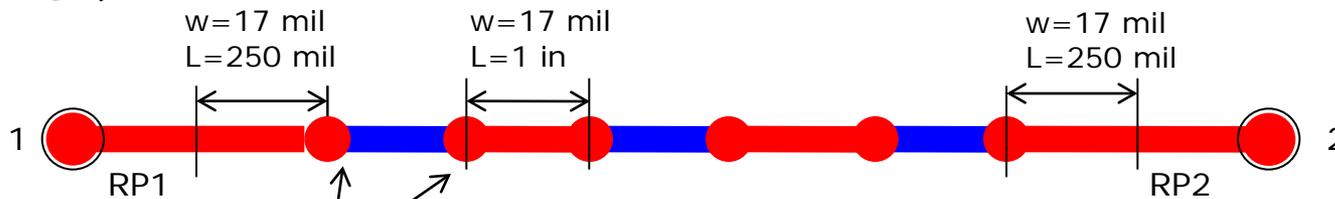
07 Nov 2008, 14:06:01, Simberian Inc.

## □ 基板メーカーから提供された特性の入力から始めます:

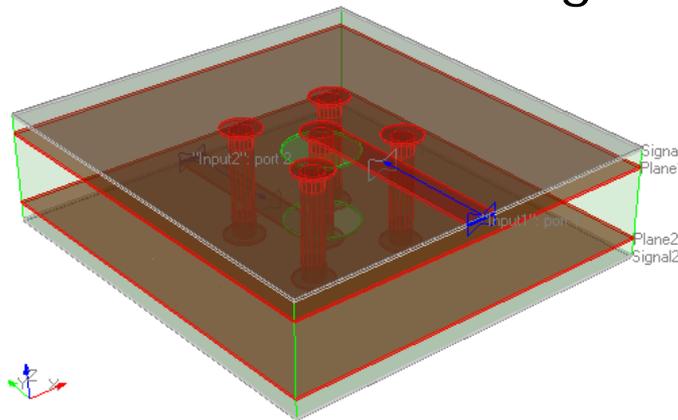
- 銅箔 抵抗率 $1.724e-8 \Omega$ メートル、表面あらかさ $0.5 \mu\text{m}$  (粗さファクタ2が予想されます)
- ソルダーマスク: DK=3.3, LT=0.02
- FR-4コアの誘電体: DK=4.7, LT=0.02
- 信号線とプレーン間のFR-4誘電体(プリプレグ): DK=4.0 - 4.25, LT=0.02  
—測定及びシミュレーションにより抽出
- 測定周波数は1GHzと予想されます

# スティッチングを付きの6つのビアを有する マイクロストリップチャンネルの形状

- 4つのスティッチングビアを有する6つの貫通ビア、1 inch長さで分離された17milのマイクロストリップ線路、リファレンスプレーンRP1、RP2はde-embeddedされています



Single via geometry:



トップとボトムの子ストレート: DK=4.0, LT=0.02 @  
1 GHz, T=8.9 mil  
コア: DK=4.7, LT=0.02, T=39 mil  
すべてのビア径は12mil  
全てのビアのパッド径は22mil  
アンチパッド径は40mil  
シグナルとスティッチングビアの距離は40mil

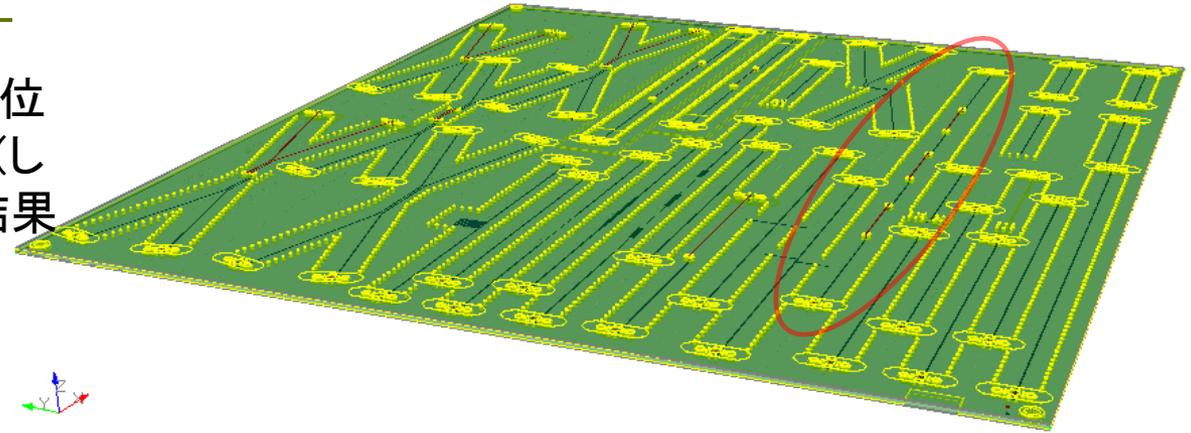


22 Apr 2009, 06:33:00, Simberian Inc.

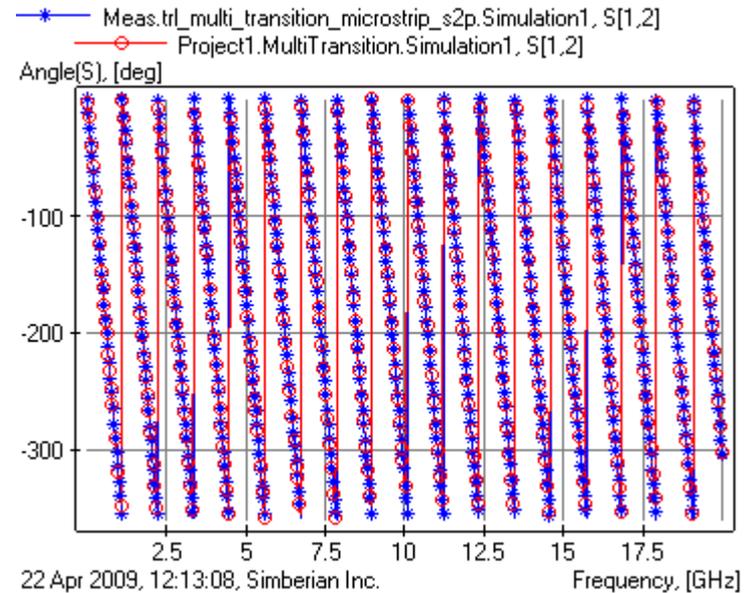
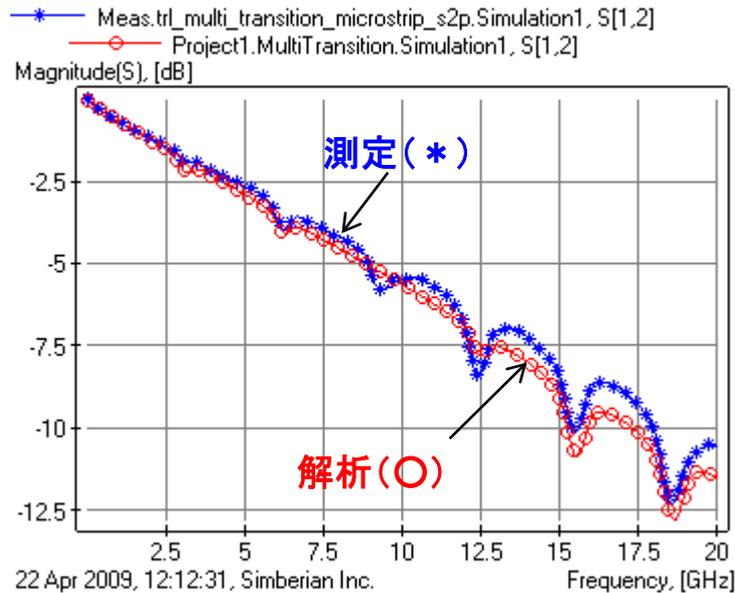
この形状はSimbeorの最適化機能により反射を最小にするビアとして合成されました

# 6個の局所化されたビアを有する マイクロストリップチャンネルのSパラメータ

通過特性のマグニチュードと位相で良い一致が見られます(しかし反射は測定より大きい結果でした)

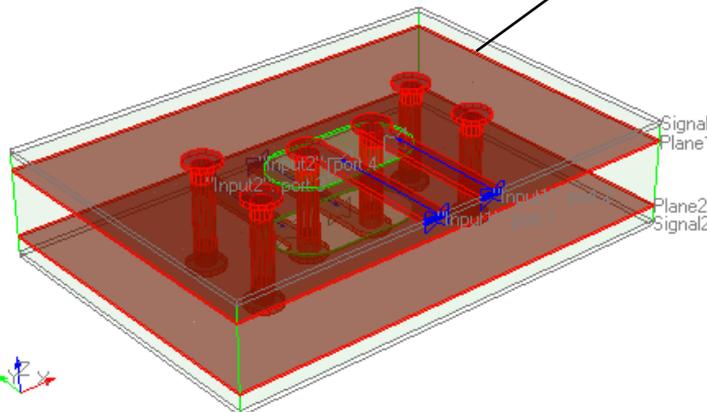
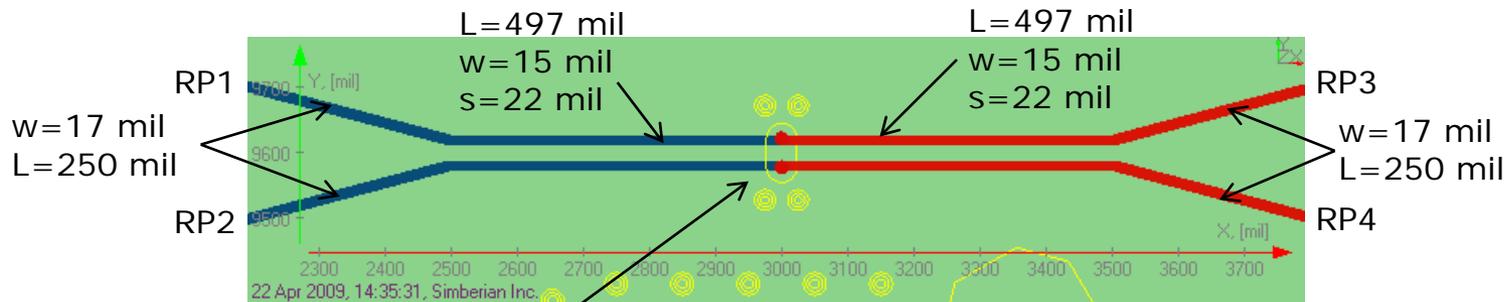


22 Apr 2009, 12:29:27, Simberian Inc.



# 差動ビア

- 4つのステッチングビアを有する差動ビアで1inch長さで分離された17milのマイクロストリップ線路、リファレンスプレーンRP1-RP4ではde-embeddedされた2つの差動マイクロストリップ線路に接続されています

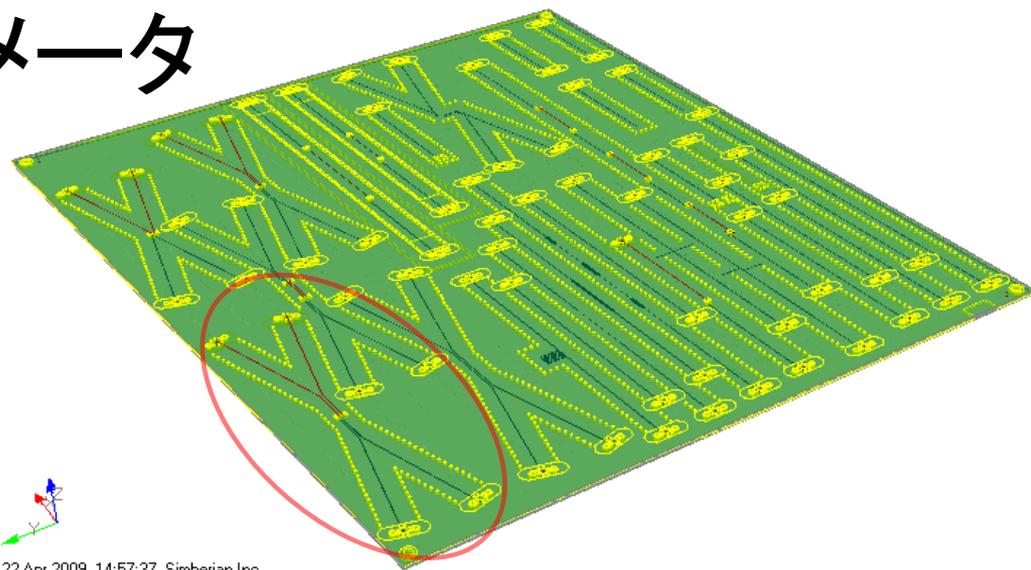


サブストレート: DK=4.25, コア: DK=4.7,  
LT=0.02 @ 1 GHz  
15milのストリップ幅で22milで分離されています  
コア: DK=4.7, LT=0.02, T=39 mil  
ビア径は12mil  
ビアのパッド径は22mil  
ビア間の距離は44mil  
長方形のアンチパッドは46 \* 90mil

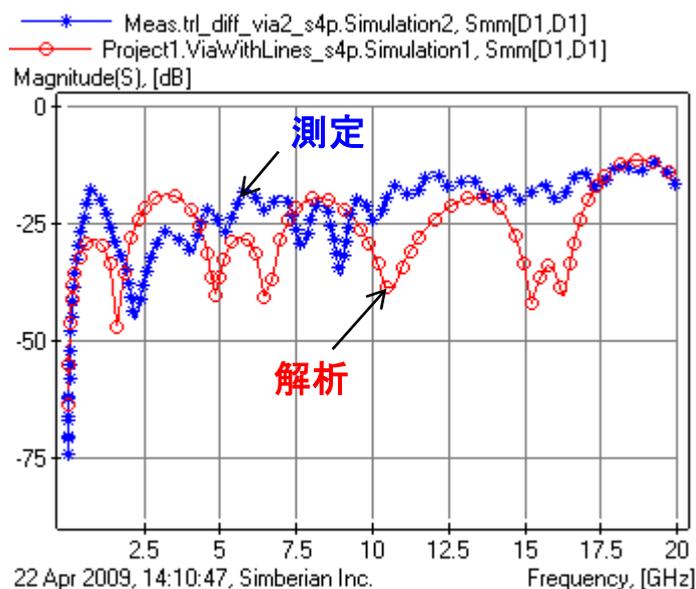
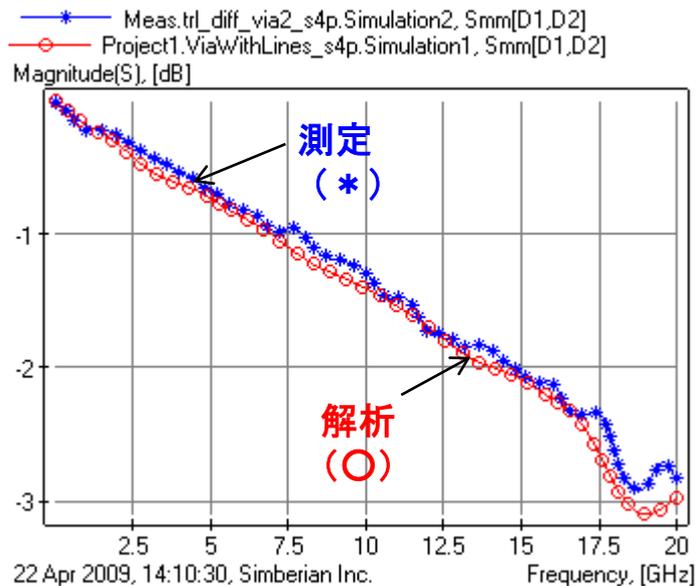
この形状はSimbeorの最適化機能により反射を最小にするビアとして合成されました

# 差動ビアのSパラメータ

Simbeorの解析結果と実測の間で通過特性と反射特性のマグニチュードと位相で良い一致が見られます



22 Apr 2009, 14:57:37, Simberian Inc.



# まとめービアモデルを最適化するためには良いツールを選択してください

- 局所化可能なケースと非局所化の違い
  - 境界条件によりS-パラメータに違いが出る場合は非局所化の問題が顕在する可能性があります
- 局所化可能なケースのみがSimbeor 2012の様な3Dフルウェーブソルバーで解析可能です
  - 付近にステッチングビアを有するシングルエンドか差動のビア
  - 差動のビアではステッチングなくても差動モードの伝送に関しては解析可能です
- 局所化可能なビアのみがマルチギガビットのチャンネルの構成部品として安心して使用可能です
- 非局所化のケースでは基板全体の精密なモデルの解析が必要になりますー可能ですが実用的ではありません(地球シミュレータ規模の計算になります)

# ソリューションと連絡先

- この資料にある全てのシミュレーションのセットアップはほぼ2時間で出来ます
- 是非評価ライセンス(2週間)をお試しください
  - Simberian社のWeb SiteでLoginしていただくとSimbeorのインストールfileをダウンロードできます
  - [Simberian社Web Site:[www.simberian.com](http://www.simberian.com)]
  - インストール後Site Codeをシグナル工房までメールで送付願います。2週間の評価ライセンスを発行いたします
  - [メール送り先:シグナル工房 野田敦人:[anoda@signalkhobho.com](mailto:anoda@signalkhobho.com)]
- この資料にあるSimbeorのソリューションファイルは下記の Simberianの web siteからダウンロードできます
  - [http://www.simberian.com/AppNotes/Solutions/DesigningLocalizableMinimalReflectionVias\\_2009\\_05.zip](http://www.simberian.com/AppNotes/Solutions/DesigningLocalizableMinimalReflectionVias_2009_05.zip)
- SimbeorまたはPCBsim(HSPICE互換)のお見積もり、お問い合わせはシグナル工房にご連絡ください
  - [シグナル工房のWeb site:[www.signalkhobho.com](http://www.signalkhobho.com)]